

KOREAN PATENT ABSTRACT (KR)

PUBLICATION

(51) IPC Code: H01L27/01

(65) Publication No.: P1995-012701

(21) Application No.: P1994-026170

(43) Publication Date: 16 May 1995

(22) Application Date: 13 October 1994

(73) Patentee:

Nippon Denki Gabusikigaisha

1-go, 7-ban, 5-chome, Minato-ku, Tokyo, Japan

(72) Inventor:

Takahashi, Kiyoshi

(54) Title of the Invention:

Semiconductor device with thin film resistor

Abstract:

Provided is a semiconductor device with a thin film resistor. On a semiconductor substrate, a thin film resistor and a metal wiring for electrically extracting the thin film resistor are formed via a first interlayer dielectric. A second interlayer dielectric covering the thin film resistor and the metal wiring is formed on the first interlayer dielectric. By removing a portion of the second interlayer dielectric above the thin film resistor by etching, the second interlayer dielectric above the thin film resistor is thinned out to a smaller thickness. A heat radiating metal layer is formed on the second interlayer dielectric having the smaller thickness.

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ H01L 27/01		(11) 등록번호 특0140143	
		(24) 등록일자 1998년03월 10일	
(21) 출원번호	특 1994-026170	(65) 공개번호	특 1995-012701
(22) 출원일자	1994년 10월 13일	(43) 공개일자	1995년 05월 16일
(30) 우선권주장	93-280537 1993년 10월 14일 일본(JP)		
(73) 특허권자	니뽀 덴끼 가부시끼가이샤 가네꼬 히사시		
(72) 발명자	일본 도오교도 미나토꾸 시바 5조에 7반 1고 다까하시 기요시		
(74) 대리인	일본 도오교도 미나토꾸 시바 5조에 7반 1고 니뽀 덴끼 가부시끼가이샤 나 이 이병호, 최달용		

심사관 : 전상현

(54) 박막 저항체를 갖는 반도체 장치

요약

반도체 기판상에 박막 저항체와 이 박막 저항체를 전기적으로 도출해내기 위한 금속 배선이 제1층간 절연막을 통해 형성된다. 제1층간 절연막상에는 박막 저항체와 금속 배선을 덮는 제2층간 절연막이 형성된다. 박막 저항체위의 제2층간 절연막 일부를 에칭으로 제거하여 막두께를 얇게 만든다. 막두께가 얇아진 제2층간 절연막상에는 방열 금속막이 형성된다.

대표도

도1

명세서

[발명의 명칭]

박막 저항체를 갖는 반도체 장치

[도면의 간단한 설명]

제1도는 박막 저항체를 갖는 반도체 장치의 단면도.

제2도는 박막 저항체를 갖는 반도체 장치의 제1실시예의 단면도.

제3도는 박막 저항체를 갖는 반도체 장치의 제2실시예의 단면도.

도면의 주요 부분에 대한 부호의 설명

11:반도체 기판12:제1층간 절연막

13:박막 저항체14:금속 배선

15:제2층간 절연막16:방열 금속막

[발명의 상세한 설명]

본 발명은 일반적으로 반도체 장치에 관한 것으로, 특히 박막 저항체를 가진 반도체 장치에 관한 것이다.

특정 형태의 반도체 장치내에는 트랜지스터 등의 능동소자이외에 부하저항 및 바이어스 저항 등의 수동소자가 형성되어 있다. 이러한 반도체 장치에서 이용되는 저항체로서는 확산저항체, 다결정 실리콘 저항체, 금속 박막 저항체 등이 알려져 있다. 이 중에서 박막 저항체는 고정밀도로 형성시킬 수 있고, 영년변화(secular variation)가 적으며 기타 우수한 특징들이 있으므로 신뢰성이 크게 요구되는 용도에 많이 사용된다.

제1도는 박막 저항체를 가진 종래의 반도체 장치의 단면도이다. 도시된 바와 같이, 소정의 소자들로 형성된 반도체 기판(31)상에는 실리콘 산화막 등으로 한 제1층간 절연막(32)이 형성되어 있다. 이 제1층간 절연막(32)상에는 텅스텐 실리사이드(WSi) 등으로 된 박막 저항체(33)와 이 박막 저항체(33)로부터 신장하는 금속 배선(34)이 형성되어 있다. 또한, 박막 저항체(33)와 금속 배선(34)상에는 실리콘 산화막 등으로 된 제2층간 절연막(35)이 형성되어 있다.

이러한 구조로 된 종래의 반도체 장치에서는 박막 저항체(33)가 층간 절연막들(32,35)로 완전히 둘러싸여져 있다. 층간 절연을 위해서 또한 기생 용량을 줄이기 위해서 층간 절연막의 두께는 일정 이상의 두께가 되어야할 필요가 있다. 따라서 실리콘 산화막으로 형성된 절연막은 아주 낮은 열전도율을 갖게 된다. 예를 들어, 절연막의 열전도율은 금속의 열전도율보다 수자리수(several digit) 더 작다. 따라서 박

막 저항체는 열저항이 크기 때문에 저항체의 온도가 크게 상승된다.

이로 인해 저항값 변화, 절연막의 벗겨짐, 능동소자의 특성 변화(예컨대, 트랜지스터의 gm 저하) 등이 초래된다. 또한, 저항체의 온도 상승으로 인해 장기간 사용에서 저항체 소자의 열화가 빨라질 수 있다.

본 발명의 목적은 박막 저항체의 방열성을 향상시켜 박막 저항체를 포함하는 반도체 장치의 온도 상승을 억제함으로써 특성변동과 열화를 방지하는 것이다.

본 발명에 따른 박막 저항체를 가진 반도체 장치는, 반도체 기판과; 상기 반도체 기판상에 형성된 제1층간 절연막과; 상기 제1층간 절연막상에 금속이나 금속화합물로 형성된 박막 저항체 및 상기 박막저항체에 접속된 금속 배선과; 상기 박막 저항체의 바로 위부분이 다른 부분보다 두께가 얇게끔 상기 박막 저항체와 상기 금속 배선을 덮는 제2층간 절연막 및; 상기 제2층간 절연막중 두께가 얇은 부분상에 형성된 방열 금속막으로 구성된다.

본 발명에 따라서, 박막 저항체를 가진 반도체 장치는 박막 저항체의 상부막에 형성된 얇은 두께의 층간 절연막과 이 층간 절연막의 얇은 부분상에 형성된 방사 금속판을 구비한다. 이러한 구조에 따라서 박막 저항체의 열저항이 감소되어 박막 저항체의 온도 상승을 방지할 수 있다. 따라서, 본 발명은 저항값의 변동과 능동 소자의 특성저하를 방지할 수 있다. 또한 본 발명은 절연막의 파괴와 특성저하를 방지할 수도 있다. 동일 효과를 나타낼 수 있는 대안으로서, 박막 저항체 바로 아래의 반도체 기판의 이면부(back side portion)를 제거함으로써 이면개구부를 형성하는 것도 가능하다.

본 발명은 이하에서 첨부 도면을 참조하여 본 발명의 바람직한 실시예들을 통한 상세한 설명으로부터 더욱 분명히 이해될 것이다. 그러나 본 실시예들에 본 발명이 한정되는 것은 아니며, 본 실시예들은 다만 설명과 이해를 위한 것이다.

이제 본 발명에 따른 반도체 장치의 바람직한 실시예들에 대해 첨부 도면중 제2도와 제3도를 참조하여 설명한다. 이 설명에서는 본 발명의 철저한 이해를 위해 구체적 수치예를 들 것이다. 그러나 이러한 구체적인 수치예가 없더라도 당업자들은 본 발명을 용이하게 실시할 수 있을 것이다. 이 경우 본 발명의 명료한 설명을 위해서 이미 잘 알려진 구조에 대해서는 상세한 설명을 하지 않을 것이다.

제2도는 본 발명에 따른 박막 저항체를 가진 반도체 장치의 제1실시예의 단면도이다. 제2도에서 GaAs로 구성된 반도체 기판(11)상에 MESFET(도시되어 있지 않음)가 형성된다. 이 기판(11)상에는 제1층간 절연막(12)이 예컨대 기상 성장법(Chemical Vapor deposition: CVD)에 의해 $1.5\mu\text{m}$ 의 막두께로 된 실리콘 산화막으로 형성된다. 이 제1층간 절연막(12)상에는 텅스텐 실리사이드가 스파터링(sputtering)법에 의해서 1000\AA 두께로 적층된다. 이 텅스텐 실리사이드막은 사진 평판 기법(photolithographic technology)에 의해 $100\mu\text{m} \times 50\mu\text{m}$ 크기의 직사각형으로 패턴화되어 MESFET의 부하저항으로서의 박막 저항체(13)를 형성한다.

또한, 제1층간 절연막(12)과 박막 저항체(13)상에는 스파터링법으로 알루미늄을 적층시킨 다음 이 알루미늄막을 패턴화 함으로써 금속배선(14)이 형성된다. 그 다음, CVD법으로 실리콘 산화막을 거의 평평한 표면을 갖는 두께로 적층한 다음 에칭을 가함으로써 예컨대 $0.1\mu\text{m}$ 의 두께로 박막 저항체(13)와 금속배선(14)을 덮는 제2층간 절연막(15)을 형성시킨다.

다음, 박막 저항체(13)를 패턴화시키는데 사용되는 마스크를 이용하여 포토레지스트를 형성시킨다. 그 다음, 박막 저항체(13) 바로 위의 제2절연막(15) 부분에 건식 에칭을 가하여 그 부분의 두께를 500\AA 으로 감소시켜 제2층간 절연막에 리세스(17)를 형성시킨다. 이때, 에칭율(etching rate)로부터 환산된 시간동안 에칭을 실시함으로써 막두께를 조절한다. 그후, 스파터링으로 2000\AA 두께의 알루미늄막을 적층시킨다. 이렇게 형성된 알루미늄막에 박막 저항체(13)위에 있는 부분이 남도록 건식에칭으로 패턴닝을 실시한다. 이렇게 하여 방열 금속막(16)이 박막 저항체위에 형성된다. 방열 금속막(16)의 형성과 관련하여 필요에 따라 상부 배선층을 형성시킬 수 수도 있다.

상술한 구성의 박막 저항체를 가진 반도체 장치에서는 제2층간 절연막(15)이 리세스(17)에 의해 박막 저항체(13)와 방열 금속막(16) 사이의 부분이 다른 부분보다 더 얇아졌기 때문에 박막 저항체(13)에 의해 방열된 열은 방열 금속막(16)에 잘 전달되어 이 금속막을 통해 대기로 잘 방출될 수 있다.

상기 실시예에 대한 열전달 해석 시뮬레이션을 통해서 열저항이 40% 감소될 수 있음을 알았다. 열저항 감소에 의해 박막 저항체(13)의 저항값 변동을 5 내지 10% 정도 줄일 수 있다.

제3도는 본 발명에 따른 박막 저항체를 가진 반도체 장치의 제2실시예의 단면도이다. GaAs로 된 반도체 기판(21)상에 MESFET(도시되어 있지 않음)가 형성된다. 이 기판(21)상에는 제1층간 절연막(22)이 예컨대 $0.5\mu\text{m}$ 두께의 실리콘 산화막으로 형성된다. 이 제1층간 절연막(22)상에는 티타늄 질화물(TiN)이 스파터링으로 1500\AA 두께로 적층된다. 이 티타늄 질화물막은 사진 평판기법에 의해 $100\mu\text{m} \times 100\mu\text{m}$ 크기의 직사각형 형상으로 패턴화되어 MESFET의 부하 저항체로서의 박막 저항체(13)를 형성한다.

또한, 스파터링으로 1500\AA 두께의 알루미늄막을 적층한 다음 이를 패턴화함으로써 금속 배선(24)을 형성시킨다. 그 다음, CVD 법으로 실리콘 질화물(Si_3N_4)막을 거의 평평한 표면을 갖는 두께로 적층한 다음 에칭을 가함으로써 예컨대 $1.0\mu\text{m}$ 두께로 박막 저항체(23)와 금속 배선(24)을 덮는 제2층간 절연막(25)을 형성시킨다.

다음, 상술한 제1실시예와 마찬가지로, 박막 저항체(23) 바로위의 제2절연막(25) 부분에 건식에칭을 가하여 그 부분의 두께를 500\AA 으로 감소시켜 제2층간 절연막에 리세스(29)를 형성시킨다. 그 다음, 200\AA 두께의 알루미늄막을 적층시켜 방열 금속막(26)을 형성시킨다.

다음, 반도체 기판(21)의 이면(back side) 전체에 에칭을 가해 기판 두께를 $100\mu\text{m}$ 로 감소시킨다. 이어서 박막 저항체(23) 바로 밑부분의 반도체 기판의 이면에 대해서 습식 에칭을 가하여 제1층간 절연막(22)의 이면을 노출시킨다. 이러한 처리에 의해서 이면 방열 개구부가 형성된다. 다음, 제1층간 절연막(22)과 기판(21)의 이면들상에 하도(undercoating) 금속층을 형성시킨 후에 전기도금(electroplating)을 실시하

여 금도금층을 형성시킨다. 이 금도금층은 방열 금속막을 겸한 이면 전극으로 가능하다.

본 실시예에서 따라서 박막 저항체(23)에 의해 발생된 열은 방열 금속층(26)을 통해서 뿐만 아니라 금도금층(28)을 통해서도 방출될 수 있다. 따라서 이전에 설명된 제1실시예의 경우보다 열저항이 더 작아질 수 있다.

지금까지 구체적인 실시예들을 통해서 본 발명을 설명하였지만, 본 발명은 이들 실시예에 한정되는 것이 아니라 특허청구의 범위에 기재된 본 발명의 요지내에서 다양한 변경이 가능하다.

예를 들어, 본 실시예들에서는 박막 저항체 물질로서 텅스텐 실리사이드나 티타늄 질화물 같은 금속화합물을 사용했지만, Cr, NiCr 등과 같은 다른 금속 또는 금속 화합물을 사용할 수도 있다. 또한 금속 배선이나 방열 금속막으로 Cu, Au 등을 사용할 수도 있다.

또한, 본 발명은 GaAs 기판을 이용한 반도체 장치에 뿐만 아니라 Si 기판이나 기타 다른 물질로 된 기판을 이용한 반도체 장치에도 적용될 수 있다.

(57) 청구의 범위

청구항 1

반도체 기판과;

상기 반도체 기판상에 형성된 제1층간 절연막과;

상기 제1층간 절연막상에 금속 또는 금속 화합물로 형성된 박막 저항체 및, 상기 박막 저항체에 접속된 금속 배선과;

상기 박막 저항체와 상기 금속 배선을 덮고, 상기 박막 저항체 바로 윗부분의 막두께가 다른 부분의 막두께보다 더 작은 제2층간 절연막 및;

더 작은 두께의 상기 제2층간 절연막 부분상에 형성된 방열 금속층을 포함하는 박막 저항체를 가진 반도체 장치.

청구항 2

제1항에 있어서,

상기 반도체 기판의 이면에서 상기 박막 저항체 바로 일부분이 제거되어 이면 개구부를 형성하고, 상기 이면 개구부의 저면에는 방열 금속막이 형성된 것을 특징으로 하는 박막 저항체를 가진 반도체 장치.

청구항 3

제1항에 있어서,

상기 제2층간 절연막상에 형성된 상기 방열 금속막이 상부 배선층과 동시에 형성된 것을 특징으로 하는 박막 저항체를 가진 반도체 장치.

청구항 4

제1항에 있어서,

상기 이면 개구부의 저면에 형성된 상기 방열 금속막이 이면 전극으로도 기능하는 것을 특징으로 하는 박막 저항체를 가진 반도체 장치.

청구항 5

박막 저항체 바로 일부분을 제거하여 이면 개구부를 형성시킨 반도체 기판과;

상기 반도체 기판상에 형성된 제1층간 절연막과;

상기 제1층간 절연막상에 금속 또는 금속화합물로 형성된 박막 저항체 및, 상기 박막 저항체에 접속된 금속 배선과;

상기 박막 저항체와 상기 금속 배선을 덮는 제2층간 절연막 및;

상기 이면 개구부의 저면에 형성된 방열 금속막을 포함하는 박막 저항체를 가진 반도체 장치.

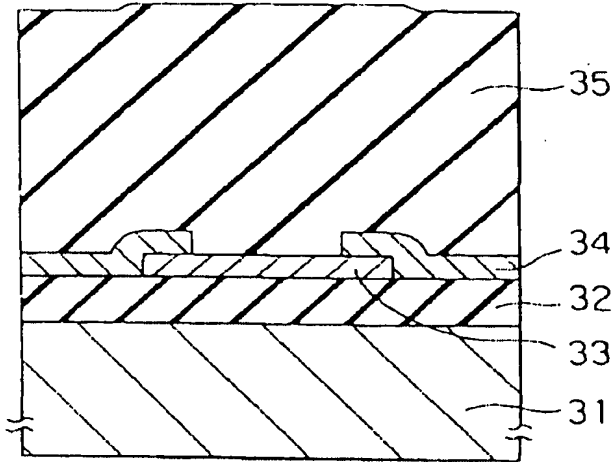
청구항 6

제5항에 있어서,

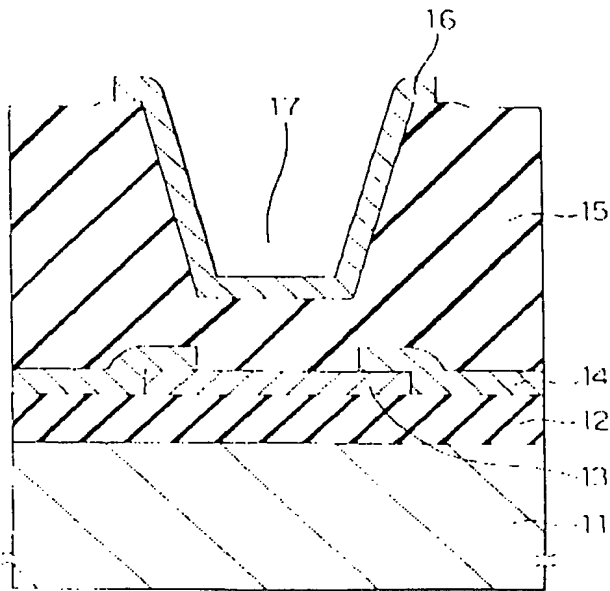
상기 이면 개구부의 저면에 형성된 상기 방열 금속막이 이면 전극으로도 기능하는 것을 특징으로 하는 박막 저항체를 가진 반도체 장치.

도면

도면1

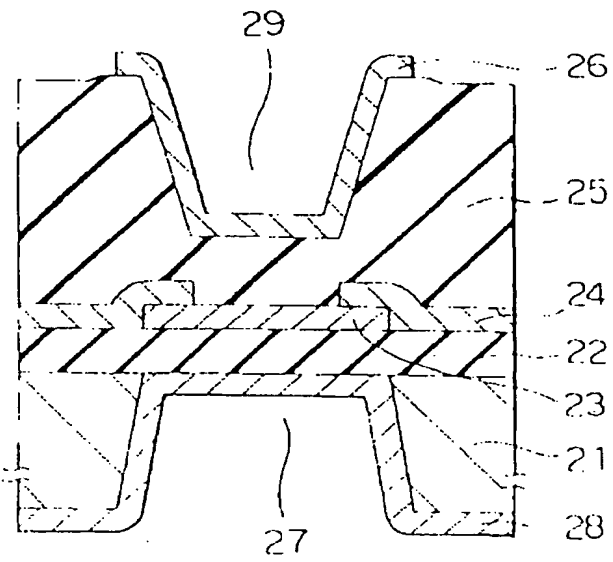


도면2



BEST AVAILABLE COPY

도면3



BEST AVAILABLE COPY